



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0058251  
Application Number

출원년월일 : 2003년 08월 22일  
Date of Application AUG 22, 2003

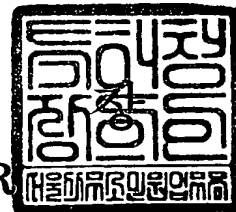
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 15 일

특 허 청

COMMISSIONER





## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2003.08.22
【국제특허분류】	G11C
【발명의 명칭】	센터링 에러를 일으키는 클럭 스큐를 자체적으로 보상하는 메모리 장치 및 그 클럭 스큐 보상 방법
【발명의 영문명칭】	Memory device for itself compensating clock skew occurring centering error and clock skew compensating method
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	손영수
【성명의 영문표기】	SOHN, Young Soo
【주민등록번호】	740214-1905915
【우편번호】	135-230
【주소】	서울특별시 강남구 일원동 689-2번지 현대APT 21동 402호
【국적】	KR
【발명자】	
【성명의 국문표기】	김찬경
【성명의 영문표기】	KIM, Chan Kyung
【주민등록번호】	730703-1683517



1020030058251

출력 일자: 2003/10/21

【우편번호】 442-190  
【주소】 경기도 수원시 팔달구 우만동 498 풍림아파트 3동 102호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 6 면 6,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 10 항 429,000 원  
【합계】 464,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

센터링 에러를 일으키는 클럭 스큐를 자체적으로 보상하는 메모리 장치 및 그 클럭 스큐 보상 방법이 개시된다. 본 발명은 외부 클럭 신호와 출력 데이터 신호와의 센터링 에러를 일으키는 클럭 스큐를 보상하기 위하여, 메모리 장치 내부에 출력 데이터 신호와 외부 클럭 신호와의 위상 차를 검출하여 업 또는 다운 신호를 발생하는 위상 검출부와 스큐 보상을 알리는 캘리브레이션 신호에 인에이블되고 업 또는 다운 신호에 응답하여 소정의 오프셋 코드를 발생하는 업-다운 카운터를 포함한다. 오프셋 코드는 DLL 회로로 피이드백되어 외부 클럭 신호의 에지에 출력 데이터 신호의 중간 지점이 센터링되도록 정렬된다. 이에 따라, 종래의 컨트롤러와 메모리 장치와의 통신을 통한 오프셋 코드를 발생시키기 위한 별도의 동작 모드 없이 오프셋 코드를 발생시킬 수 있다.

**【대표도】**

도 8

**【색인어】**

클럭 스큐, 센터링 에러, DLL 회로, 오프셋 코드

**【명세서】****【발명의 명칭】**

센터링 에러를 일으키는 클럭 스큐를 자체적으로 보상하는 메모리 장치 및 그 클럭 스큐 보상 방법{Memory device for itself compensating clock skew occurring centering error and clock skew compensating method}

**【도면의 간단한 설명】**

도 1은 공통 클럭(common clock) 방식을 설명하는 도면이다.

도 2는 도 1의 공통 클럭 방식의 타이밍 다이어그램을 설명하는 도면이다.

도 3은 소스 싱크로너스 방식을 설명하는 도면이다.

도 4는 도 3의 소스 싱크로너스 방식의 타이밍 다이어그램을 설명하는 도면이다.

도 5는 RAMBUS DRAM의 데이터 전송 방식을 설명하는 도면이다.

도 6은 RDRAM에서의 출력 데이터 신호 발생을 위한 회로 구성도를 설명하는 도면이다.

도 7은 해스팅(Hasting) DLL 회로를 설명하는 도면이다.

도 8은 본 발명의 일실시예에 따른 메모리 장치를 설명하는 도면이다.

도 9는 도 8의 메모리 장치의 동작 타이밍 다이어그램을 설명하는 도면이다.



## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 외부 클럭 신호와 출력 데이터 신호와의 센터링 에러를 일으키는 클럭 스큐를 보상하는 지연 락킹 회로(Delay Locked Loop)를 포함하는 메모리 장치 및 그 클럭 스큐 보상 방법에 관한 것이다.
- <11> 시스템 버스의 속도가 100MHz 이상으로 높아짐에 따라 클럭킹(clocking) 방식에도 변화가 필요하게 되었다. 기존의 공통 클럭(common clock) 방식에서 최근 소스 싱크로너스(source synchronous) 방식으로 클럭 전송 방식이 바뀌고 있다.
- <12> 도 1은 공통 클럭(common clock) 방식을 설명하는 도면이다. 이를 참조하면, 클럭 신호(CLK)는 데이터 경로와는 별도로 만들어져서 제공되며, 드라이버(110)는 클럭(CLK)에 응답하여 데이터(Data)를 전송하고, 리시버(130)는 클럭(CLK)에 응답하여 데이터(Data)를 수신한다.
- <13> 도 2는 도 1의 공통 클럭 방식의 타이밍 다이어그램을 설명하는 도면이다. 이를 참조하면, 클럭(CLK) 에지로부터 제1 지연 시간( $t_1$ ) 후에 드라이버(110)로 데이터 전송이 이루어지고, 드라이버(110)의 데이터 전송 시점으로부터 제2 지연 시간( $t_2$ )과 제3 지연 시간( $t_3$ )을 합한 시간 후에 리시버(130)로 데이터가 수신된다. 제1 지연 시간( $t_1$ )은 드라이버(110)에 의해 지연되는 시간이고, 제2 지연 시간( $t_2$ )는 전송 라인(120)을 통과하면서 지연되는 시간이고, 제3 지연 시간( $t_3$ )은 리시버(130)에 의해 지연되는 시간이다.
- <14> 이러한 공통 클럭 방식에서, 데이터 수신이 클럭(CLK)에 동기되도록 하기 위한 최소 클럭 주기( $t_{CLKmin}$ )는 다음과 같이 정의된다.



<15> 【수학식 1】  $t_{CLKmin}=t_1+t_2+t_3$

<16> 공통 클럭 방식에서는 최소 클럭 주기의 필요로 인하여 클럭(CLK)을 고속화시키는 것이 불가능하다. 이에 대하여 최소 클럭 주기( $t_{CLKmin}$ )의  $t_2$  성분을 줄이기 위한 방법으로, 도 3과 같은 소스 싱크로너스 방식이 도입되었다. 도 3을 참조하면, 데이터 경로에 존재하는 전송 라인(120)과 동일하게 클럭 경로에도 전송 라인(220)을 두어, 최소 클럭 주기( $t_{CLKmin}$ )에서  $t_2$  성분을 없앴으로써 데이터(Data)와 클럭(CLK) 사이의 전송 라인으로 인한 타이밍 불일치(timing uncertainty)를 줄인다. 리시버(130)로 수신되는 데이터는 도 4에서 보여주듯이, 클럭(CLK) 에지에 동기되어 전송된다.

<17> 한편, 클럭(CLK)은 클럭 버퍼들(210, 230)을 통해 내부 회로들로 클럭 신호를 공급하게 되는 데, 클럭 버퍼들(210, 230)을 통과하는 데 소요되는 지연 시간들( $t_1$ ,  $t_3$ )은 클럭 스큐(clock skew)를 일으킨다. 클럭 스큐는 고속 데이터 전송을 저해하는 성분이 된다. 클럭 스큐를 제거하기 위한 방법으로, PLL 또는 DLL 회로가 사용된다. PLL 또는 DLL 회로는 클럭 신호가 입/출력되는 입력 버퍼 또는 출력 버퍼의 지연 시간을 상쇄한 클럭 신호를 발생한다. 이 클럭 신호에 동기된 데이터를 출력 버퍼를 통해 내보냄으로써, 클럭 신호와 출력 데이터가 정렬 및 동기된다.

<18> 동기식 메모리 장치, 예컨대 SDRAM에서는 DLL 회로를 사용하여 클럭 신호의 에지와 출력 데이터의 에지가 동기되도록 설계하였다. 특별히 램버스 디램(Rambus DRAM: 이하 "RDRAM"이라 칭한다)과 같은 패킷 단위(packet based) DRAM의 경우는 도 5와 같이, 데이터 전송 시간의 중간 지점에서 클럭 신호(CTM)에 의한 데이터 샘플링이 일어나도록 설계한다.

<19> 도 6은 RDRAM에서의 출력 데이터 신호 발생을 위한 회로 구성도를 설명하는 도면이다. 이를 참조하면, CTM(Clock-To-Master) 클럭 신호와 출력 드라이버 복사부(620)의 출력 클럭 신



호를 입력하는 DLL 회로(610)로부터  $90^\circ$  위상차를 갖는 tclk0 클럭 신호와 tclk90 클럭 신호가 발생된다. tclk0 클럭 신호는 제1 경로(630)를 통해 출력 믹스들(671, 672, 673, 674)을 구동하는 tclk 클럭 신호로 발생된다. tclk90 클럭 신호는 제1 경로(630)와 동일하게 구성되는 제2 경로(640)를 경유하여 믹스부(660)와 버퍼들과 출력 드라이버들의 지연 시간을 보상하는 출력 드라이버 복사부(620)를 통해 DLL 회로(610)로 제공된다. tclk0 클럭 신호는 제1 경로(630)와 동일한 제3 경로(650)를 통해 발생하는 출력 신호에 의해 듀티가 조절되고, tclk90 클럭 신호는 제2 경로(640)의 출력 신호에 의해 듀티가 조절된다.

<20> tclk 클럭 신호에 의해 스위칭되는 예컨대, 하나의 믹스(674)와 출력 드라이버(684)를 통해 발생하는 출력 데이터(DQ0)는 CTM 클럭 신호로부터  $90^\circ$  차이나는 클럭 신호에 동기되어 출력되기 때문에, 출력 데이터(DQ0)는 이상적으로 CTM 클럭 신호의 에지에 그 중간 지점이 오게 된다.

<21> 그런데, 버퍼, 인터컨넥션 라인(interconnection line), 출력 드라이버 복사부(620) 등의 지연 시간에 의한 차이, 신호 경로의 차이, 공정 변화 의존율의 차이 등으로 인해 출력 데이터(DQ)와 CTM 클럭 신호는 정확히  $90^\circ$  차이가 나지 않는 문제가 발생한다. 이를 출력 데이터와 CTM 클럭 신호와의 센터링 에러(centering error)라고 한다. 센터링 에러를 해결하는 방안으로, 해스팅(Hasting) DLL 회로가 도 7에 도시되어 있다.

<22> 도 7의 해스팅 DLL 회로(700)에서는 CTM 클럭 신호와 출력 드라이버 복사부(620)의 출력 클럭 신호의 위상차를 검출하는 위상 검출부(710), 위상 검출부(710)의 출력을 수신하는 최종 스테이트 머신(720), 최종 스테이트 머신(720)의 출력과 오프셋 코드(offset code)를 수신하는 합산부(730), 합산부(730)의 출력에 응답하여 tclk0 클럭 신호를 발생하는 제1 위상 믹서(740)



와 최종 스테이트 머신(720)의 출력에 응답하여 tclk90 클럭 신호를 발생하는 제2 위상 믹서(750)를 포함한다.

<23> 오프셋 코드는 CTM 클럭 신호와 출력 데이터(DQ0)의 센터링 에러에 해당하는 것으로, 출력 데이터(DQ0) 발생의 타이밍 신호로 사용되는 tclk0 클럭 신호에 추가하여 보상한다. 그런데, 이 오프셋 코드는 컨트롤러와 RDRAM 사이의 통신을 통해 최적의 값을 찾아가는 과정을 추가로 필요로 하는 단점이 있다.

<24> 그러므로, RDRAM 자체에서 자신의 출력 데이터 핀으로 모니터링하고 그 위상과 CTM 클럭 신호의 위상을 비교하여 오프셋 코드를 정할 수 있는 방법이 존재한다면, 컨트롤러와 RDRAM 사이의 통신이 필요하지 않게 된다.

#### 【발명이 이루고자 하는 기술적 과제】

<25> 본 발명의 목적은 외부 클럭 신호와 출력 데이터 신호와의 센터링 에러를 일으키는 스큐를 보상하는 회로 장치를 자체적으로 포함하는 메모리 장치를 제공하는 데 있다.

<26> 본 발명의 다른 목적은 외부 클럭 신호 에지에 출력 데이터 신호의 중간지점이 오도록 센터링시키는 클럭 스큐 보상 방법을 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<27> 상기 목적을 달성하기 위하여, 본 발명의 바람직한 실시예에 따른 출력 데이터 신호와 외부 클럭 신호간의 스큐를 보상하는 회로 장치에 있어서, 출력 데이터 신호와 외부 클럭 신호와의 위상 차를 검출하여 업 또는 다운 신호를 발생하는 위상 검출부; 스큐 보상을 알리는 캘리브레이션 신호에 인에이블되고, 업 또는 다운 신호에 응답하여 소정의 오프셋 코드를 발생하는 업 다운 카운터; 캘리브레이션 신호에 응답하여 오프셋 코드를 수신하고, 외부 클럭 신호와

제1 및 제2 위상차를 각각 갖는 제1 클럭 신호와 제2 클럭 신호를 발생하는 DLL 회로; 및 제1 클럭 신호에 응답하여 출력 데이터 신호를 발생하는 출력 드라이버를 포함한다.

<28> 바람직하기로, DLL 회로는 외부 클럭 신호와 0°의 상기 제1 위상차를 갖는 제1 클럭 신호와 외부 클럭 신호와 90°의 제2 위상차를 갖는 제2 클럭 신호를 발생하는 데, DLL 회로로부터 발생된 제1 클럭 신호가 달리는 전송 라인과 동일한 전송 라인을 달리는 제2 클럭 신호와 외부 클럭 신호와의 위상차를 검출하는 위상 검출부; 위상 검출부에 의해 검출된 위상차에 응답하여 가변 지연 양(variable delay amount)을 조정하는 스테이트 머신; 캘리브레이션 신호에 응답하여 업-다운 카운터로부터 제공되는 오프셋 코드를 수신하는 제1 합산부; 제1 합산부의 출력과 스테이트 머신의 출력을 수신하는 제2 합산부; 제2 합산부의 출력에 응답하여 제1 클럭 신호를 발생하는 제1 위상 믹서부; 및 스테이트 머신의 출력에 응답하여 제2 클럭 신호를 발생하는 제2 위상 믹서부를 포함한다.

<29> 상기 목적을 달성하기 위하여, 본 발명의 바람직한 실시예에 따른 메모리 장치는 출력 데이터 신호와 외부 클럭 신호와의 위상 차를 검출하여 업 또는 다운 신호를 발생하는 위상 검출부; 스큐 보상을 알리는 캘리브레이션 신호에 인에이블되고, 업 또는 다운 신호에 응답하여 소정의 오프셋 코드를 발생하는 업 다운 카운터; 캘리브레이션 신호에 응답하여 오프셋 코드를 수신하고, 외부 클럭 신호와 제1 및 제2 위상차를 각각 갖는 제1 클럭 신호와 제2 클럭 신호를 발생하는 DLL 회로; 제1 클럭 신호가 달리는 전송 라인을 포함하는 제1 경로부; 제1 경로부와 동일하게 구성되고 상기 제2 클럭 신호가 달리는 제2 경로부; 제1 클럭 신호에 토글링되고 캘리브레이션 신호에 응답하여 출력 데이터 신호를 발생하는 출력 드라이버; 및 출력 드라이버와 동일하게 구성되고 제2 경로부를 통과한 상기 제2 클럭 신호를 입력하여 DLL 회로로 피드백 시키는 출력 드라이버 복사부를 포함한다.

<30>       상기 다른 목적을 달성하기 위하여, 본 발명의 일예에 따른 출력 데이터 신호와 외부 클럭 신호간의 스큐를 보상하는 방법에 있어서, 출력 데이터 신호와 외부 클럭 신호와의 위상 차를 검출하여 업 또는 다운 신호를 발생하는 단계; 스큐 보상을 알리는 캘리브레이션 신호와 업 또는 다운 신호에 응답하여 소정의 오프셋 코드를 발생하는 단계; DLL 회로를 통해 외부 클럭 신호와 제1 및 제2 위상차를 각각 갖는 제1 클럭 신호와 제2 클럭 신호를 발생하는 단계; DLL 회로로부터 발생된 제1 클럭 신호가 달리는 전송 라인과 동일한 전송 라인을 달리는 제2 클럭 신호와 외부 클럭 신호와의 위상차를 검출하는 단계; 상기 검출된 위상차에 응답하여 가변 지연 양(variable delay amount)를 조정하는 단계; 및 캘리브레이션 신호에 응답하여 업-다운 카운터로부터 제공되는 오프셋 코드를 수신하여 제1 클럭 신호와 제2 클럭 신호를 발생하는 단계를 포함한다.

<31>       상기 다른 목적을 달성하기 위하여, 본 발명의 다른 예에 따른 메모리 장치의 출력 데이터 신호와 외부 클럭 신호간의 스큐를 보상하는 방법에 있어서, 외부 클럭 신호와 제1 및 제2 위상차를 각각 갖는 제1 클럭 신호와 제2 클럭 신호를 발생하는 단계; 출력 데이터 신호와 외부 클럭 신호와의 위상 차를 검출하여 업 또는 다운 신호를 발생하는 단계; 스큐 보상을 알리는 캘리브레이션 신호의 활성화되고 업 또는 다운 신호에 응답하여 소정의 오프셋 코드를 발생하는 단계; 활성화된 캘리브레이션 신호에 응답하여 오프셋 코드를 수신하고, 제1 클럭 신호와 제1 클럭 신호에 토글되는 출력 데이터 신호의 에지를 일치시키는 단계; 캘리브레이션 신호의 비활성화에 응답하여 오프셋 코드를 리셋시키는 단계; 및 오프셋 코드의 리셋에 응답하여 외부 클럭 신호의 에지에 출력 데이터 신호의 중간 지점이 정렬되는 단계를 포함한다.

<32>       따라서, 본 발명에 의하면, CTM 클럭 신호와 출력 데이터 신호와의 센터링 에러를 일으키는 클럭 스큐를 보상하기 위하여, 메모리 장치 내부에 위상 검출부와 업-다운 카운터를 두어

클럭 스큐에 대응되는 오프셋 코드를 발생시킨다. 오프셋 코드는 DLL 회로로 피이드백되어 CTM 클럭 신호의 에지에 출력 데이터 신호의 중간 지점이 센터링되도록 정렬된다. 이에 따라, 종래의 컨트롤러와 메모리 장치와의 통신을 통한 오프셋 코드를 발생시키기 위한 별도의 동작 모드 없이 오프셋 코드를 발생시킬 수 있다.

- <33> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <34> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <35> 도 8은 본 발명의 일실시예에 따른 메모리 장치를 설명하는 도면이다. 이를 참조하면, 메모리 장치(800)는 DLL 회로(810), 제1 경로부(820), 제2 경로부(830), 제3 경로부(840), 출력 드라이버 복사부(850), 믹스부들(860, 871, 872, 873, 874), 출력 드라이버들(881, 882, 883, 884), 위상 검출부(890), 그리고 업-다운 카운터(895)를 포함한다.
- <36> DLL 회로(810)는 CTM 클럭 신호와 출력 드라이버 복사부(850)의 출력 클럭 신호 사이의 위상차를 검출하는 제1 위상 검출부(811), 제1 위상 검출부(811)의 출력에 응답하는 스테이트 머신(812), 업-다운 카운터(895)로부터 제공되는 오프셋 코드(OFFSET CODE)와 캘리브레이션 신호(CAL)를 수신하는 제1 합산부(813), 스테이트 머신(812)의 출력과 제1 합산부(813)의 출력을 수신하는 제2 합산부(814), 제2 합산부(814)의 출력에 응답하여 제1 클럭 신호(tclk0)를 발생시키는 제1 믹서부(815), 그리고 스테이트 머신(812)의 출력에 응답하여 제2 클럭 신호(tclk90)를 발생시키는 제2 믹서부(816)를 포함한다.

- <37> 제1 경로부(820)는 DLL 회로(810)에서 발생하는 제1 클럭 신호(tclk0)가 출력 드라이버들(881, 882, 883, 884)과 연결되는 믹스들(871, 872, 873, 874)로 제공될 때까지 달리게되는 물리적인 전송 라인을 의미한다. 제1 클럭 신호(tclk0)는 제1 경로부(820)를 통해 내부 클럭 신호(tclk)로 발생된다.
- <38> 제2 경로부(830)는 제1 경로부(820)와 동일한 물리적인 전송 라인으로 구성되고, 제2 클럭 신호(tclk90)를 수신하여 그 전송 라인으로 인한 지연 시간을 고려하여 제2 클럭 신호(tclk90)의 듀티를 조정한다.
- <39> 제3 경로부(840)는 제1 경로부(820)와 동일한 물리적인 전송 라인으로 구성되어, 제1 클럭 신호(tclk0)가 제1 경로부(820)를 통과하면서 생기는 지연 시간을 고려하여 제1 클럭 신호(tclk0)의 듀티를 조정한다.
- <40> 제2 경로부(830)를 통과한 제2 클럭 신호(tclk90)는 믹스부(860)와 출력 드라이버 복사부(850)를 통하여 DLL 회로(810)의 제1 위상 검출부(811)로 제공된다. 믹스부(860)와 출력 드라이버 복사부(850)는 내부 클럭 신호(tclk)와 연결되는 믹스부들(871, 872, 873, 874)과 출력 드라이버들(881, 882, 883, 884)의 부하 및 지연 시간을 DLL 회로(810)로 제공되는 제2 클럭 신호(tclk90)에 반영하기 위하여 사용된다.
- <41> 내부 클럭 신호(tclk)는 출력 드라이버(881, 882, 883, 884)와 연결되는 믹스부들(871, 872, 873, 874)을 토글링시킨다. 메모리 장치(800)의 내부 회로 블록(미도시)에서 출력되는 내부 데이터(Data)와 내부 클럭 신호(tclk)에 응답하는 믹스부들(871, 872, 873, 874)의 출력은 출력 드라이버들(881, 882, 883, 884)을 스위칭시킨다. 그리고, 믹스부들(871, 872, 873, 874) 중 하나의 제4 믹스부(874)는 캘리브레이션 신호(CAL)에 응답하여 제4 출력 드라이버(884)를 구동시켜 출력 데이터 패드(DQx)로 데이터를 출력시킨다.



- <42> 출력 드라이버들 중 대표적으로 제4 출력 드라이버(884)를 살펴보면, 믹스부(874) 출력이 게이트에 연결되고, 접지 전압(VSS)이 그 소스에 연결되고, 데이터 출력 패드(DQx)에 그 드레인이 연결되는 엔모스 트랜지스터로 구성된다. 데이터 출력 패드(DQx)는 외부적으로 터미네이션 전압(Vterm, 미도시)에 연결되는 터미네이션 저항(Rterm, 미도시)과 연결되어, 초기에 로직 하이레벨을 갖다가 출력 드라이버(884)의 구동 여부에 따라 로직 로우레벨로 변화된다.
- <43> 제2 위상 검출부(890)는 데이터 출력 패드(DQx)로 출력되는 데이터와 CTM 클럭 신호와의 위상차를 검출하여 그 결과에 따라 업(UP) 신호 또는 다운(DOWN) 신호를 발생한다. 데이터 출력 패드(DQx)의 데이터와 CTM 클럭 신호와의 위상차는 센터링 에러를 의미한다. 업-다운 카운터(895)는 업(UP) 또는 다운(DOWN) 신호를 수신하고 캘리브레이션 신호(CAL)에 인에이블되어 오프셋 코드(OFFSET CODE)를 발생한다. 오프셋 코드는 앞서 설명한 DLL 회로(810) 내부의 제1 합산부(813)로 제공되어, 데이터 출력 패드(DQx)의 데이터와 CTM 클럭 신호와의 센터링 에러를 바로 DLL 회로(810)로 피이드백되어 제1 클럭 신호(tclk0) 발생에 반영된다.
- <44> 본 발명의 메모리 장치(800)의 동작은 도 9와 같이 이루어진다.
- <45> (a) 캘리브레이션 신호(CAL)가 로직 로우레벨이면, 내부 클럭 신호(tclk)에 토글되고 내부 데이터(Data)에 응답하여 출력 데이터 패드(DQx)로 데이터가 실린다. 내부 클럭 신호(tclk)를 발생시키는 기준 클럭인 CTM 클럭 신호와 출력 데이터 패드(DQx)에 실린 데이터 사이에 센터링 에러( $\Delta E$ )가 생긴다.
- <46> (b) 캘리브레이션 신호(CAL)가 로직 하이레벨로 천이되면, 내부 클럭 신호(tclk)와 캘리브레이션 신호(CAL)에 응답하는 제4 믹스부(874)와 제4 출력 드라이버(884)를 통해 출력 데이터 패드(DQx)가 토글된다. 이 때, 출력 데이터 패드(DQx)의 데이터와 CTM 클럭 신호의 위상차를 검출하는 제2 위상 검출부(890)에 의해 업(UP) 또는 다운(DOWN) 신호가 발생된다. 업(UP)

또는 다운(DOWN) 신호와 캘리브레이션 신호(CAL)에 응답하는 업 다운 카운터(895)에 의해 소정의 예컨대 2 비트의 오프셋 코드(OFFSET CODE)가 발생된다.

<47> (c) 캘리브레이션 신호(CAL)가 로직 하이레벨로 계속 유지되고, 오프셋 코드(OFFSET CODE)가 DLL 회로(810)의 제1 합산부(813)로 제공되어, 내부 클럭 신호(tclk) 발생시 CTM 클럭 신호와 출력 데이터 패드(DQx)의 데이터와의 센터링 에러가 반영된다. 그리하여, 출력 데이터 패드(DQx)의 데이터와 CTM 클럭 신호의 위상차가 보상되어, 내부 클럭 신호(tclk)에 토글되는 출력 데이터 패드(DQx)의 데이터와 CTM 클럭 신호의 위상이 일치된다.

<48> (d) 이 후, 캘리브레이션 신호(CAL)가 로직 로우레벨로 천이하면, 업 다운 카운터(895)의 오프셋 코드는 00로 리셋된다. 이에 따라 DLL 회로(810)는 제1 내부 클럭 신호(tclk0) 발생을 정확히 90° 지연시켜 발생시킨다. 이에 따라 제1 내부 클럭 신호(tclk0)의 기준 신호인 CTM 클럭 신호의 에지는 출력 데이터 패드(DQx)의 데이터 중간 지점에 오게 된다.

<49> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<50> 상술한 본 발명에 의하면, CTM 클럭 신호와 출력 데이터 신호와의 센터링 에러를 일으키는 클럭 스큐를 보상하기 위하여, 메모리 장치 내부에 위상 검출부와 업-다운 카운터를 두어 클럭 스큐에 대응되는 오프셋 코드를 발생시킨다. 오프셋 코드는 DLL 회로로 피이드백되어 CTM 클럭 신호의 에지에 출력 데이터 신호의 중간 지점이 센터링되도록 정렬된다. 이에 따라, 종래

의 컨트롤러와 메모리 장치와의 통신을 통한 오프셋 코드를 발생시키기 위한 별도의 동작 모드 없이 오프셋 코드를 발생시킬 수 있다.



**【특허청구범위】****【청구항 1】**

출력 데이터 신호와 외부 클럭 신호간의 스큐를 보상하는 회로 장치에 있어서,

상기 출력 데이터 신호와 상기 외부 클럭 신호와의 위상 차를 검출하여 업 또는 다운 신호를 발생하는 위상 검출부;

상기 스큐 보상을 알리는 캘리브레이션 신호에 인에이블되고, 상기 업 또는 다운 신호에 응답하여 소정의 오프셋 코드를 발생하는 업 다운 카운터;

상기 캘리브레이션 신호에 응답하여 상기 오프셋 코드를 수신하고, 상기 외부 클럭 신호와 제1 및 제2 위상차를 각각 갖는 제1 클럭 신호와 제2 클럭 신호를 발생하는 DLL 회로; 및

상기 제1 클럭 신호에 응답하여 상기 출력 데이터 신호를 발생하는 출력 드라이버를 구비하는 것을 특징으로 하는 회로 장치.

**【청구항 2】**

제1항에 있어서, 상기 DLL 회로는

상기 외부 클럭 신호와 0°의 상기 제1 위상차를 갖는 상기 제1 클럭 신호와 상기 외부 클럭 신호와 90°의 상기 제2 위상차를 갖는 상기 제2 클럭 신호를 발생하는 것을 특징으로 하는 회로 장치.

**【청구항 3】**

제2항에 있어서, 상기 DLL 회로는

상기 DLL 회로로부터 발생된 상기 제1 클럭 신호가 달리는 전송 라인과 동일한 전송 라인을 달리는 상기 제2 클럭 신호와 상기 외부 클럭 신호와의 위상차를 검출하는 위상 검출부;



상기 위상 검출부에 의해 검출된 상기 위상차에 응답하여 가변 지연 양(variable delay amount)를 조정하는 스테이트 머신;

상기 캘리브레이션 신호에 응답하여 상기 업-다운 카운터로부터 제공되는 오프셋 코드를 수신하는 제1 합산부;

상기 제1 합산부의 출력과 상기 스테이트 머신의 출력을 수신하는 제2 합산부;

상기 제2 합산부의 출력에 응답하여 상기 제1 클럭 신호를 발생하는 제1 위상 믹서부;  
및

상기 스테이트 머신의 출력에 응답하여 상기 제2 클럭 신호를 발생하는 제2 위상 믹서부를 구비하는 것을 특징으로 하는 회로 장치.

#### 【청구항 4】

출력 데이터 신호와 외부 클럭 신호간의 스큐를 보상하는 메모리 장치에 있어서,

상기 출력 데이터 신호와 상기 외부 클럭 신호와의 위상 차를 검출하여 업 또는 다운 신호를 발생하는 위상 검출부;

상기 스큐 보상을 알리는 캘리브레이션 신호에 인에이블되고, 상기 업 또는 다운 신호에 응답하여 소정의 오프셋 코드를 발생하는 업 다운 카운터;

상기 캘리브레이션 신호에 응답하여 상기 오프셋 코드를 수신하고, 상기 외부 클럭 신호와 제1 및 제2 위상차를 각각 갖는 제1 클럭 신호와 제2 클럭 신호를 발생하는 DLL 회로;

상기 제1 클럭 신호가 달리는 전송 라인을 포함하는 제1 경로부;

상기 제1 경로부와 동일하게 구성되고 상기 제2 클럭 신호가 달리는 제2 경로부;

상기 제1 클럭 신호에 토글링되고 상기 캘리브레이션 신호에 응답하여 상기 출력 데이터 신호를 발생하는 출력 드라이버; 및

상기 출력 드라이버와 동일하게 구성되고 상기 제2 경로부를 통과한 상기 제2 클럭 신호를 입력하여 상기 DLL 회로로 피이드백시키는 출력 드라이버 복사부를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 5】

제4항에 있어서, 상기 DLL 회로는

상기 외부 클럭 신호와 0°의 상기 제1 위상차를 갖는 상기 제1 클럭 신호와 상기 외부 클럭 신호와 90°의 상기 제2 위상차를 갖는 상기 제2 클럭 신호를 발생하는 것을 특징으로 하는 메모리 장치.

【청구항 6】

제4항에 있어서, 상기 DLL 회로는

상기 외부 클럭 신호와 상기 출력 드라이버 복사부의 출력을 입력하여 위상차를 검출하는 위상 검출부;

상기 위상 검출부에 의해 검출된 상기 위상차에 응답하여 가변 지연 양(variable delay amount)을 조정하는 스테이트 머신;

상기 캘리브레이션 신호에 응답하여 상기 업-다운 카운터로부터 제공되는 오프셋 코드를 수신하는 제1 합산부;

상기 제1 합산부의 출력과 상기 스테이트 머신의 출력을 수신하는 제2 합산부;

상기 제2 합산부의 출력에 응답하여 상기 제1 클럭 신호를 발생하는 제1 위상 믹서부;  
및

상기 스테이트 머신의 출력에 응답하여 상기 제2 클럭 신호를 발생하는 제2 위상 믹서부를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 7】

출력 데이터 신호와 외부 클럭 신호간의 스큐를 보상하는 방법에 있어서,

상기 출력 데이터 신호와 상기 외부 클럭 신호와의 위상 차를 검출하여 업 또는 다운 신호를 발생하는 단계;

상기 스큐 보상을 알리는 캘리브레이션 신호와 상기 업 또는 다운 신호에 응답하여 소정의 오프셋 코드를 발생하는 단계;

DLL 회로를 통해 상기 외부 클럭 신호와 제1 및 제2 위상차를 각각 갖는 제1 클럭 신호와 제2 클럭 신호를 발생하는 단계;

상기 DLL 회로로부터 발생된 상기 제1 클럭 신호가 달리는 전송 라인과 동일한 전송 라인을 달리는 상기 제2 클럭 신호와 상기 외부 클럭 신호와의 위상차를 검출하는 단계;

상기 검출된 위상차에 응답하여 가변 지연 양(variable delay amount)을 조정하는 단계; 및

상기 캘리브레이션 신호에 응답하여 상기 업-다운 카운터로부터 제공되는 오프셋 코드를 수신하여 상기 제1 클럭 신호와 상기 제2 클럭 신호를 발생하는 단계를 구비하는 것을 특징으로 하는 클럭 스큐 보상 방법.

【청구항 8】

제7항에 있어서, 상기 클럭 스큐 보상 방법은

상기 제1 클럭 신호는 상기 외부 클럭 신호와 0°의 상기 제1 위상차를 갖도록 발생되고  
상기 제2 클럭 신호는 상기 외부 클럭 신호와 90°의 상기 제2 위상차를 갖도록 발생하는 것을  
특징으로 하는 클럭 스큐 보상 방법.

【청구항 9】

메모리 장치의 출력 데이터 신호와 외부 클럭 신호간의 스큐를 보상하는 방법에 있어서,

상기 외부 클럭 신호와 제1 및 제2 위상차를 각각 갖는 제1 클럭 신호와 제2 클럭 신호  
를 발생하는 단계;

상기 출력 데이터 신호와 상기 외부 클럭 신호와의 위상 차를 검출하여 업 또는 다운 신  
호를 발생하는 단계;

상기 스큐 보상을 알리는 캘리브레이션 신호의 활성화되고 상기 업 또는 다운 신호에  
응답하여 소정의 오프셋 코드를 발생하는 단계;

상기 활성화된 캘리브레이션 신호에 응답하여 상기 오프셋 코드를 수신하고, 상기 제1  
클럭 신호와 상기 제1 클럭 신호에 토글되는 상기 출력 데이터 신호의 에지를 일치시키는 단계  
;

상기 캘리브레이션 신호의 비활성화에 응답하여 상기 오프셋 코드를 리셋시키는 단계;  
및



상기 오프셋 코드의 리셋에 응답하여 상기 외부 클럭 신호의 에지에 상기 출력 데이터 신호의 중간 지점이 정렬되는 단계를 구비하는 것을 특징으로 하는 메모리 장치의 클럭 스큐 보상 방법.

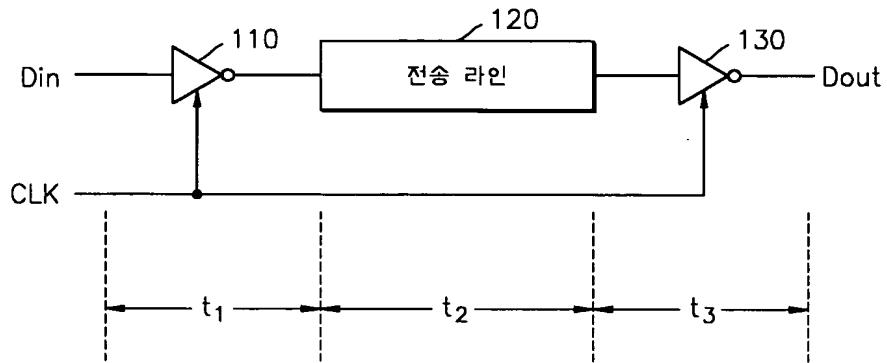
【청구항 10】

제9항에 있어서, 상기 메모리 장치의 클럭 스큐 보상 방법은

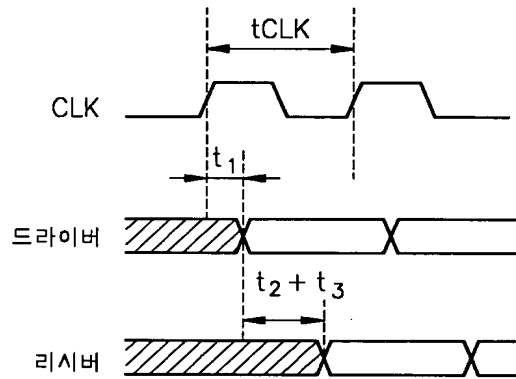
상기 제1 클럭 신호는 상기 외부 클럭 신호와  $0^\circ$ 의 상기 제1 위상차를 갖도록 발생되고  
상기 제2 클럭 신호는 상기 외부 클럭 신호와  $90^\circ$ 의 상기 제2 위상차를 갖도록 발생하는 것을  
특징으로 하는 메모리 장치의 클럭 스큐 보상 방법.

## 【도면】

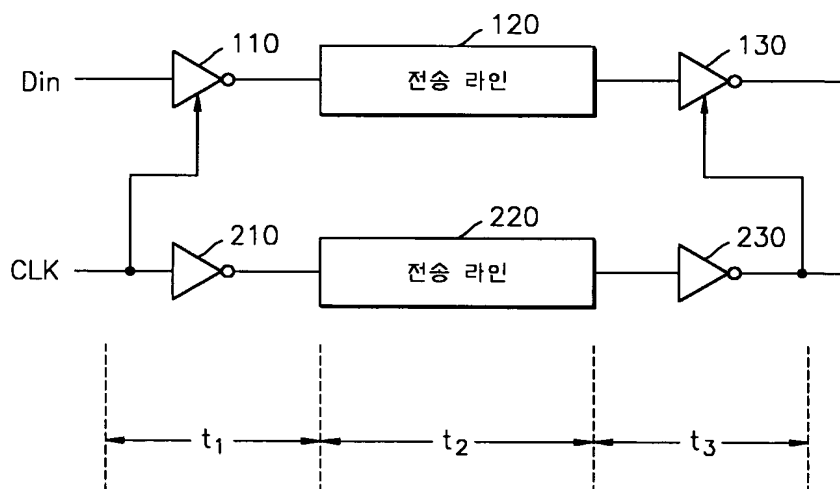
【도 1】



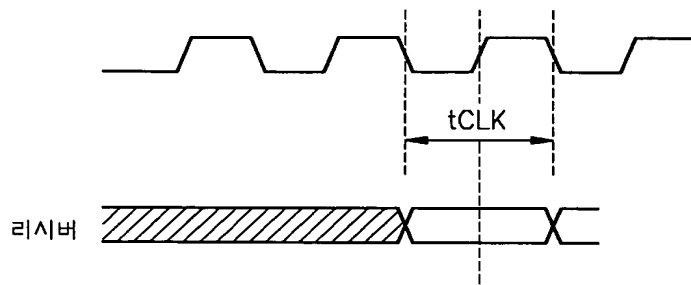
【도 2】



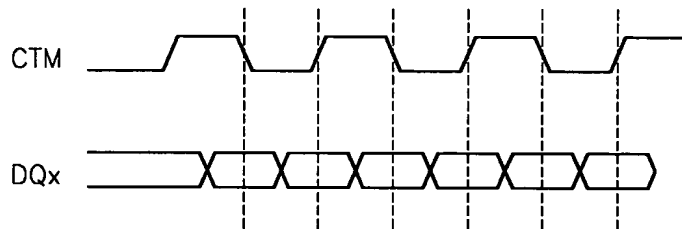
【도 3】



【도 4】

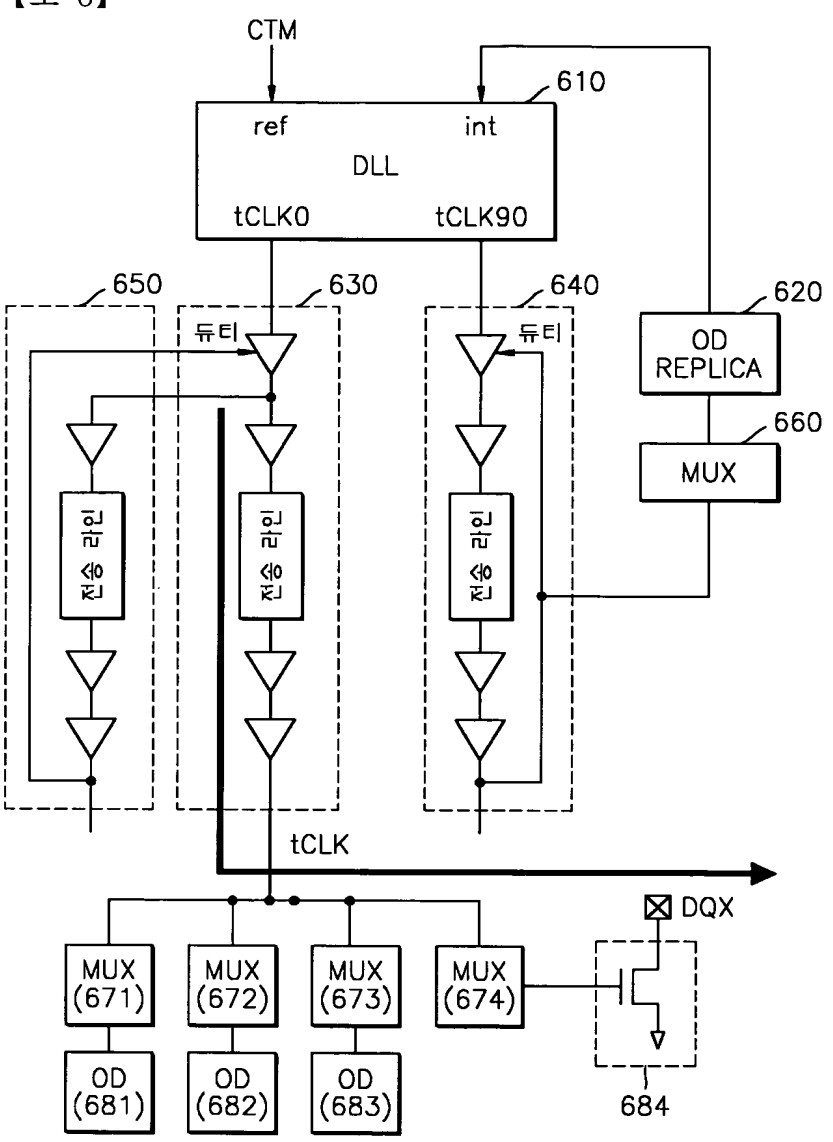


【도 5】

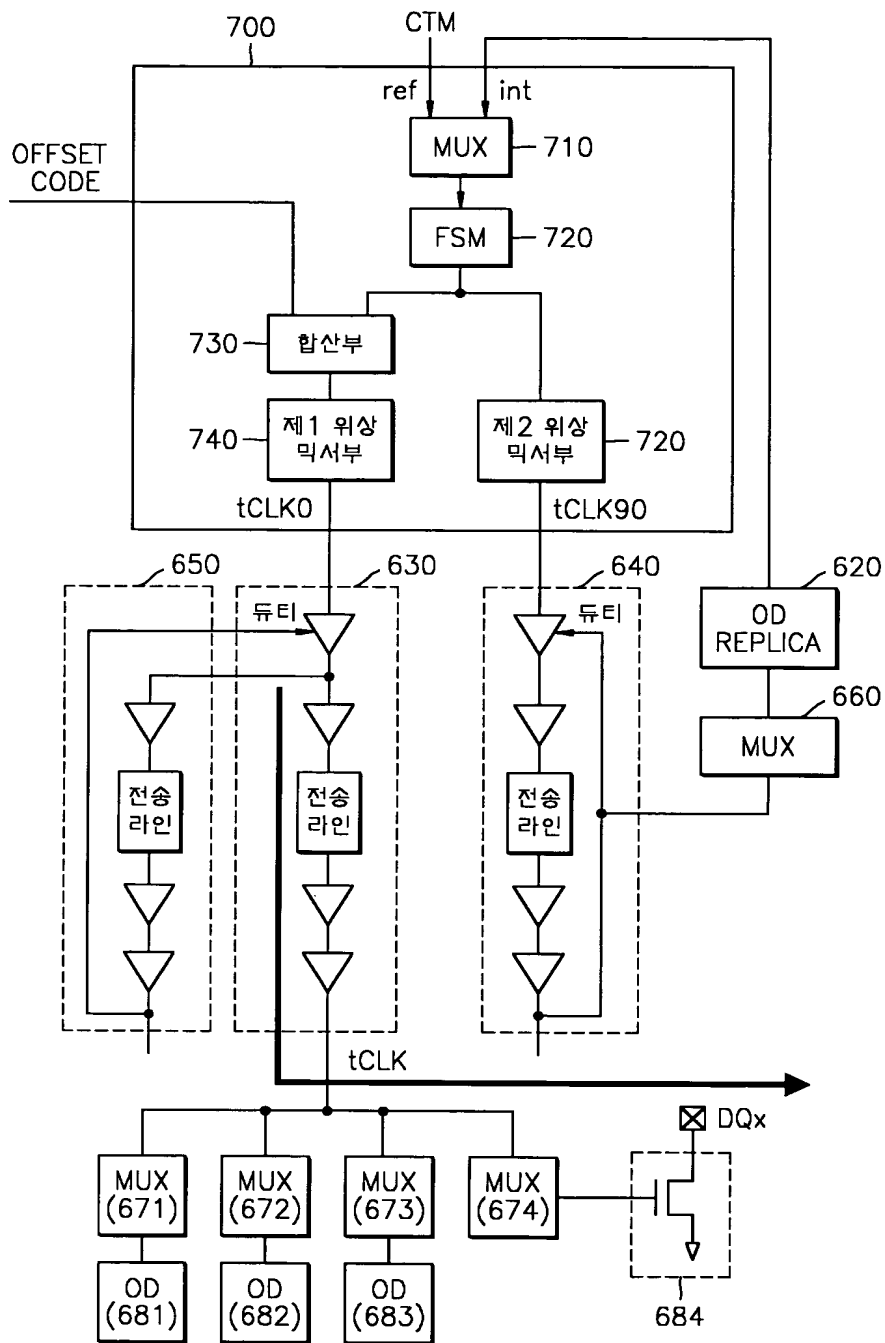




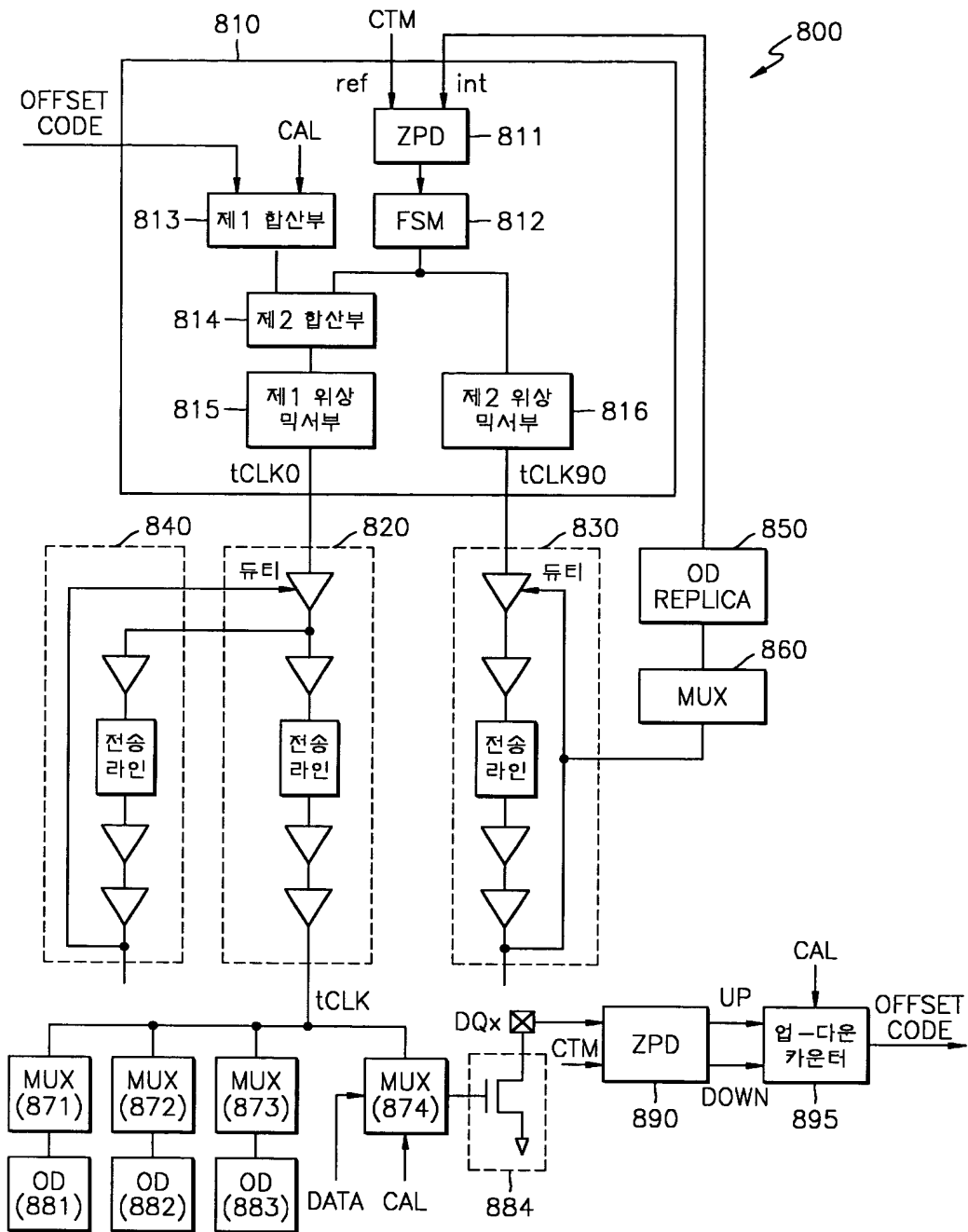
【도 6】



【도 7】



【도 8】





1020030058251

출력 일자: 2003/10/21

【도 9】

